



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63308797 A**

(43) Date of publication of application: 16.12.88

(51) Int. Cl.

G11C 17/00**H01L 27/10****H01L 29/78**(21) Application number: **62144033**(22) Date of filing: **11.06.87**(71) Applicant: **OKI ELECTRIC IND CO LTD**(72) Inventor: **KITAZAWA SHOJI
ONO TAKASHI**(54) **SEMICONDUCTOR STORAGE DEVICE**

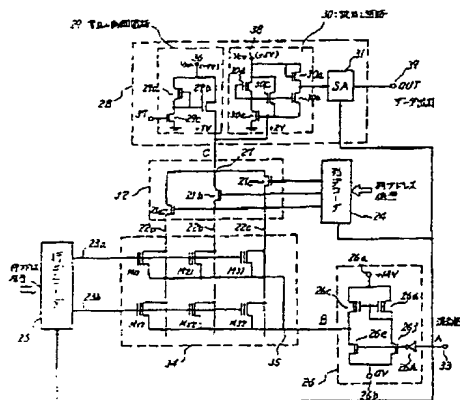
(57) Abstract:

PURPOSE: To obtain a memory capable of erasure and write for an EPROM base by providing a control means to a memory matrix comprising a MOSFET having a floating gate and a control gate and applying a prescribed voltage to both the gates and 1st and 2nd electrodes.

CONSTITUTION: Memory elements $M_{11}WM_{32}$ having floating/control gate are arranged in a matrix. A voltage switching circuit 26 is connected to a common line B of the matrix, a common line B is connected to ground at write/readout and a high voltage below the breakdown voltage of the memory element M and its vicinity is supplied in response to an erasure signal. A row decoder 25 is connected to a word line to turn on all FETs 21_aW21_c of the selection circuit in response to the erasure signal. A block 28 is provided with a means 29 outputting a write signal to a node 27 of the selection circuit in response to the write control signal, a circuit 30 having a function keeping a constant voltage and outputting an output in response to the current and a sense amplifier 31 amplifying the output of the circuit 30 at readout and stopping the readout by the signal of the signal line A at erasure. Through the constitution above, write/erasure is applied

to the memory element having a floating gate quickly by a minute current to improve the function and circuit integration.

COPYRIGHT: (C)1988,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-308797

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)12月16日

G 11 C 17/00

3 0 9

C-7341-5B

H 01 L 27/10
29/78

4 3 3
3 7 1

B-7341-5B
8624-5F
7514-5F

審査請求 未請求 発明の数 1 (全13頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭62-144033

⑯ 出 願 昭62(1987)6月11日

⑰ 発 明 者 北 沢 章 司 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑱ 発 明 者 小 野 隆 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑳ 代 理 人 弁理士 清水 守

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1)

(a) メモリセルがフローティングゲート及びコントロールゲートを有し、マトリックス状に配置された複数のMOSトランジスタからなるメモリマトリックスと、

(b) データ消去動作時に、前記MOSトランジスタのコントロールゲートに接地電位を供給する手段と、

(c) データ消去動作時に、メモリマトリックスのMOSトランジスタの第1の電極にメモリセルの降伏電圧以下であり、かつ、該降伏電圧の近傍の電圧を印加する手段と、

(d) データ消去動作時に、メモリマトリックスのMOSトランジスタの第2の電極にMOSトランジスタに電流が流れない程度の電圧を印加する手

段を具備するようにしたことを特徴とする半導体記憶装置。

(2) データ読取り時に、前記メモリセルのフローティングゲート内の電荷量と、前記メモリセルのコントロールゲートに印加される電位とに応じて、前記メモリセルの第1の電極と第2の電極との間に流れる電流により、データを読取る手段を有することを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(3) 前記メモリセルのコントロールゲートに、該メモリセルの第1の電極と第2の電極とを導通させる電位を与え、かつ、第1の電極に電圧を与えて、第1の電極と第2の電極の間に電流を流すことにより、前記メモリセルのフローティングゲート内の電荷量を変化させる手段を有することを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(4) 前記メモリセルのコントロールゲートに、前記メモリセルの第1の電極と第2の電極とを非導通とする電位を与え、かつ、第1の電極又は第

特開昭63-308797(2)

2の電極に、前記第1の電圧と異なる第2の電圧を与えることにより、前記メモリセルのフローティングゲート内の電荷量を変化させる手段を有することを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(5) 前記非導通とする電位は半導体基体にバイアスされる電位と同一であることを特徴とする特許請求の範囲第4項記載の半導体集積回路装置。

(6) データ消去動作時に、前記第2の電圧は前記メモリセルの第1の電極又は第2の電極に降伏を生ぜしめない電圧を印加することを特徴とする特許請求の範囲第4項記載の半導体記憶装置。

(7) 前記第2の電圧をマトリックス状の列に選択的に与える手段を具備していることを特徴とする特許請求の範囲第4項記載の半導体記憶装置。

(8) 前記非導通とする電位をマトリックス状の行に選択的に与える手段を具備していることを特徴とする特許請求の範囲第4項記載の半導体記憶装置。

(9) 前記第1又は第2の電圧を前記列に与えた

を持つことにより、書替え可能な集積回路装置としては、最も集積度の高い EPROM (紫外線により消去可能な PROM) と、類似なメモリ素子を用いて電気的な書替え、特に、消去を行う提案がなされてきた。

その第1はトンネル現象を利用するもので、予め、高電位を印加する配線層を決定しておき、他のコントロール手段で、極力フローティングゲートの電位を低下させて、フローティングゲート内の電子を抜き取る方法である。書込みは EPROM と同様、ドレイン近傍で発生するホットエレクトロンによるフローティングゲートへの電子注入による。

第3図は EPROMメモリ素子の等価回路であり、図中、1はコントロールゲート、2はフローティングゲート、3はドレイン、4はソースである。

また、第4図は、更に、電極5を追加したものであるが、これを特に消去電極とすることもできる。フローティングゲート2と他の四極の電極1、3、4、5は、酸化膜により絶縁されているため、

回数を記憶する手段を有することを特徴とする特許請求の範囲第7項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体記憶装置に係り、特に、電気的に消去可能な不揮発性半導体記憶装置に関するものである。

(従来の技術)

従来、読出し専用不揮発性半導体記憶装置において、それに書込まれたデータの電気的な消去方法としては、各種の提案がなされている。特に、EEPROM (Electrically Erasable PROM) として知られる記憶装置では、薄い酸化膜中の電子のトンネル現象を利用してデータの書替えが可能となり、製品は市販されている。しかし、EEPROMでは、1つのメモリセルを構成するために2つのトランジスタを用いていること、又、トンネル現象は、例えば、21V程度の高い電圧を必要とすることにより、集積度の面で EPROM (Erasable PROM) と比べて不利となっていた。このため、フローティング

酸化膜の膜厚を制御すれば、トンネル現象により電子をフローティングゲートより抜き取ることは可能である。

第2の方法として、EPROMメモリ素子のドレインのブレイクダウン (降伏) を用いる方法が提案されている。

この方法は、第3図に示す EPROMメモリ素子を用いて、書込みは通常の EPROM と同一に、コントロールゲート1とドレイン3に高電圧を印加し、P型の基板及びソース4は接地とし、ドレイン近傍にアバランシェを発生させて、フローティングゲート2に電子を注入する。消去は、ドレイン3を高電圧、P型基板を接地電圧とし、コントロールゲート1に負電圧を印加し、ドレイン3近傍にブレイクダウンを発生させ、その際、発生する高エネルギーのホールをフローティングゲート2に注入することにより実行させる。

なお、上記した先行技術は、例えば、特公昭61-6475号、特公昭61-20958号、特公昭61-30351号、特公昭61-30354号、特開昭61-165895号等

特開昭63-308797(3)

に記載されている。

(発明が解決しようとする問題点)

しかしながら、上記した第1の方法は、電子を抜き取った後のフローティングゲートの電位制御が難しく、又、トンネル現象を引き起こす電位が比較的高いことにより、EPROMに比べて、製造の困難さと、集積度の低下とを免れ得なかった。

また、上記した第2の方法は、消去時に多量の電流を必要とすると共に、負電位を必要とする。負電位はP型基板の電位以下の電位となるため、N型不純物拡散層、即ち、N型トランジスタのソース、ドレインにバイアスすることができない。

従って、Nウェル(well)CMOSのPMOSトランジスタ及び多結晶シリコン等の抵抗素材のみを用いて論理制御せねばならず、回路形成上の制約が非常に大きい。また、現在EPROMの主流であるE-DHOS(Enhancement-Depletion MOS)型集積回路には適用できない。

本発明は、以上の欠点を除去して、EPROMと同一構造のメモリ素子を用い、EPROMと同一の集積

度を可能としながら、電気的なデータの消去と再書き込みを可能とする半導体記憶装置を提供することを目的とする。

(問題点を解決するための手段)

本発明は、上記問題点を解決するために、メモリセルがフローティングゲート及びコントロールゲートを有する複数のMOSFETからなるメモリマトリックスと、データ消去動作時、そのメモリマトリックスのMOSFETのゲートに接地電位を供給する手段と、データ消去動作時、そのメモリマトリックスのMOSトランジスタの第1の電極にメモリセルの降伏電圧以下であり、かつ、該降伏電圧の近傍の電圧を印加する手段と、データ消去動作時、そのメモリマトリックスのMOSトランジスタの第2の電極に、MOSトランジスタに電流が流れない程度の電圧を印加する手段を設けるようにしたものである。

(作用)

本発明によれば、第1図に示すように、メモリ素子 $M_{11} \sim M_{32}$ はフローティングゲート及びコン

トロールゲートを有し、マトリックス状に配置される。電圧切換回路26はメモリマトリックスの共通線Bに結合され、かつ、データ書き込み及び読出し動作時は、共通線Bに接地電位を供給し、消去信号に応答して、データ消去動作時、メモリ素子の降伏電圧以下であつて、かつ、その降伏電圧近傍の高電圧を供給する。行デコード25はメモリマトリックスのワード線に結合され、かつ、データ消去動作時、データ消去信号に応答して、全ワード線を接地電位又はその近傍の電位にする。一方、列デコード24は書き込み及び読出し時には、選択回路のMOSFET21a～21cのいずれかを選択し、消去動作時には、データ消去信号に応答して選択回路の全MOSFET21a～21cをオン動作させる。ブロック28には書き込み制御信号に応答して、選択回路のノード27に書き込み信号(+7V)を出力する手段29と、選択回路のノード27を定電圧(例えば+2V)に保持するプルアップ機能と、ノード27へ出力される電流に応答する出力信号を出力する回路30と、読出し動作時に回路30の出力信号を増幅し、

消去動作時、消去信号線Aからの消去信号により読出し動作を停止するセンスアンプ回路31を設ける。

このように、簡単な構造からなるEPROMを基本構成として、かつ、100 μ A程度の微少な電流で短期間にフローティングゲートを有するメモリ素子のデータの書き込み、消去が可能であり、使用電圧も最大14V程度に低減することができるので、大幅な機能及び集積度の向上を図ることができる。

(実施例)

以下、本発明の実施例について図面を参照しながら詳細に説明する。

本発明は、ブレイクダウン以前に発生するジャンクション電流とチャネル電流のアンバランスにより発生する高エネルギー電子とを用いて、フローティングゲートへの電荷の出し入れを行うように構成する。

まず、書き込み、即ち、フローティングゲートへの電子の注入について説明する。

第5図及び第6図は本発明に用いるフローティ

特開昭63-308797(4)

ングゲートを有するメモリ素子の構成図であり、第5図はそのメモリ素子の平面図、第6図は第5図のVI-VI線断面図である。

図中、10はP型基板、11はドレインを形成するN型不純物拡散層、12はポリサイドで形成されるコントロールゲート、13はポリシリコンで形成されるフローティングゲート、14はソースを形成するN型不純物拡散層である。これはEPROMのメモリ素子と同一であり、書き込みの原理もEPROMと同一である。具体的に示すと、P型基板10を0V、ソース14に0V、コントロールゲート12に14V、ドレイン11に7Vを印加する。前記バイアス条件により、ドレイン11近傍のチャンネル部に高電界領域が発生し、そこで、生成された高エネルギーの電子がフローティングゲート13を囲む酸化膜のエネルギー障壁を乗り越えて、フローティングゲート13に流入する。これにより、メモリ素子のコントロールゲートをゲートとするMOSトランジスタの閾値電圧が上昇する。

この書き込み条件は、ドレイン電圧が7Vであり、

増倍係数Mは実験式として、

$$M = 1 / (1 - (V/V_0)^n) \quad \dots (1)$$

V_0 : ブレークダウン電圧

n : 素子による因子

として表される。 $M \rightarrow \infty$ がブレークダウンと定義されている。

又、MOSトランジスタのドレイン電圧上昇によるブレークダウンについてはゲート電圧依存性があり、N型MOSトランジスタの場合、ゲート電圧が低い程ブレークダウン電圧は低下する。これはドレイン近傍の空乏層中の電界強度がゲート電圧に依存するためである。

第8図に、第7図に示されたものと同一形状のEPROMメモリ素子のドレインに高電圧を印加した場合のドレイン電流の変化を示す。縦軸にはドレイン電流、横軸にはドレイン電圧が示されている。

図中、aはフローティングゲートの電位を-4Vに固定したものであり、b、c、dはそれぞれ-2V、0V、2Vに固定したものである。ソース電位は2V、基板電位は0Vである。図中、e

通常のEPROMの書き込み電圧8~10Vに比べて低く設定されている。

第7図にこの場合の書き込み後のメモリ素子の閾値電圧の変化の実測値を示す。

なお、電圧としては7Vを印加し、縦軸にはメモリ素子の閾値電圧、横軸には経過時間を示す。第7図より、書き込み条件としては、余裕を持っていることが分かる。図には示さないが、実測結果より、ドレイン電圧は4V以上あれば書き込みは実行できる。

消去については、ドレインに書き込み時より十分高い電圧を印加する。以下実施例では14Vを印加する。

一般に知られているように、PNジャンクションに逆方向電圧を印加すると、微弱な暗電流が流れるが、電圧の上昇に従って、空乏層内で衝突電離が発生し、それによる電流が空乏層と、中性の半導体との界面で捕獲される中性の半導体内の少数キャリア及び空乏層中で生成される電子正孔対による電流を上回るようになる。一般に定義され

は前記(1)式に示すブレークダウン領域であり、 V はブレークダウンに至る直前の領域である。図よりドレイン電圧が15V以上で、ドレイン電流の急激な変化が観測される。又、その変曲点はフローティングゲートの電圧に依存している。これにより、フローティングゲート内の書き込みにより注入された過剰電子量と、ドレインジャンクション電流の間に相関があることが分かる。即ち、フローティングゲート中に注入された過剰電子量が多い時のみ100 μ A程度のジャンクション電流を流し、過剰電子量が少ない時には数 μ A程度のジャンクション電流とすることが可能となるドレイン電圧条件が存在する。

このジャンクション電流は、フローティングゲート内の過剰負電荷を消滅させる働きを持つ。

第9図はその実測例を示す図であり、図中、aはフローティングゲートに電子が注入されていない状態での閾値電圧を、bはフローティングゲート内に注入された電荷が、ドレインのジャンクション電流によって中和されていく様子を閾値の変化

特開昭63-308797(5)

として示す。グラフの縦軸には閾値電圧を、横軸はドレインに14V、ソースに2V、コントロールゲートと基板に0Vを印加した場合の経過時間を示す。ソース電圧を0Vとしないのは、前記のジャンクション電流が、ゲート下の基板の電圧を上昇させ、それに伴って順バイアスされるソースのPNジャンクションより、基板中に電子が多量に放出される現象を防止するためである。この電子はドレイン近傍の空乏層中に取り込まれることにより、新たなキャリアの増倍を引き起こし、結果としてドレインのブレイクダウン耐圧を下げてしまう。これは本発明にとっては、消去のためのドレイン電圧のマージンを低下させる。

又、第10図にメモリ素子のフローティングゲートの電位を示すための容量分布状態を示す。

図中、 C_1 はコントロールゲートとフローティングゲートとの、 C_2 はチャネル部とフローティングゲートとの、 C_3 はソースとフローティングゲートとのそれぞれの容量を示す。 C_4 はチャネル部と基板間の空乏層を介した容量であり、 C_5 は

ドレイン及びソース電圧が上昇すると、容量 C_1 、 C_2 の影響により、フローティングゲートの電位も上昇する。従って、前記バイアス条件での第9図のフローティングゲートの電位は書き込まれた状態のメモリ素子で-2V程度であり、消去された状態で1.5V程度である。

第8図、第9図より、ドレイン電流は最大100 μ A程度であり、同時に多数のメモリ素子を消去したり、LSIの内部昇圧によって消去したりすることが可能な電流量である。又、今までの説明から明らかなように、ドレイン電圧の上昇と共にドレインジャンクション電流が急激に増加するのであるから、ドレイン電圧の上昇速度を制御して、消去時間内の電流を平均化することは容易である。これはドレイン電圧供給部に一定の負荷抵抗を持たせることによって実現し得るものである。

第1図は本発明の第1の実施例を示す半導体記憶装置の回路図、第2図はその回路の各部の動作フローチャートであって、第5図及び第6図に示すフローティングゲートを有するメモリ素子が2

縦列接続された容量を示す。メモリ素子のフローティングゲートが閾値電圧以下の場合、チャネル電荷が存在しないため、容量 C_1 が有効となり、閾値電圧以上では容量 C_2 が有効となる。

前記容量はメモリ素子の形状が複雑であることから、数値的に求めることは難しいが、通常これらの容量関係は、

$$C_1 / (C_1 + C_2 + C_3 + C_4) = 0.6 \quad \dots (2)$$

となる程度に設計される。又、通常、書き込み後に必要とされる、メモリ素子の閾値電圧は読み出し時、 V_{ee} 電圧、即ち、5V程度である。メモリ素子の初期閾値は1.5Vであるから、変化量は3.5Vであり、その場合、注入された電荷は閾値測定時には容量 C_1 に蓄えられていることになる。従って、閾値変化量3.5Vのメモリ素子のコントロールゲート、ソース、ドレインすべてが接地されている状態でのフローティングゲートの電位は(2)式より、

$$= 3.5V \times 0.6 = 2.1V$$

となる。未書き込み状態では0Vである。ここにド

$\times 3$ のマトリックス状に配列されたものである。

図において、 $M_{11} \sim M_{33}$ は 2×3 のマトリックス状に配列されたメモリ素子、21a \sim 21cはデータ線22a \sim 22cを共通ノード27に選択的に接続するMOSトランジスタ、23a、23bはメモリ素子のコントロールゲートに結ばれるワード線、24はトランジスタ21a \sim 21cに選択信号を送出する列デコード、25はワード線に選択信号を送出する行デコードである。26は電圧切換回路であり、14Vが印加される端子26a、0Vが印加される端子26b、D-MOSFET26c、26d、MOSFET26e、26f、消去信号が入力される端子33に接続されるインバータ26hを有する。ブロック28は、書き込み制御回路29、読み出し回路30、センスアンプ31を含む。その書き込み制御回路29は、 V_{ee} 9Vが印加される端子36、書き込み制御信号が印加される端子37、D-MOSFET29a、MOSFET29b、29cを有し、読み出し回路30は V_{ee} 5Vが印加される端子38、MOSFET30a、30b、30c、30e、D-MOSFET30dを有する。31はセンスアンプ、39はデータ出力端子である。

特開昭63-308797(6)

そこで、この回路の動作について説明する。

まず、書込みの場合は、第2図に示すように、端子33には消去信号は入力されず、A線及び電圧切換回路26に接続される共通線Bは0V、共通ノード27のC線は7Vとなり、行アドレス信号に基づき、行デコード25からの出力により、例えば、ワード線23aのみが選択され、メモリ素子 M_{11} 、 M_{21} 、 M_{31} のコントロールゲートのみに14Vが印加される。また、列アドレス信号に基づき、列デコード24からの出力信号により、例えば、トランジスタ21cのみがオンとなり、データ線22cのみが選択され、メモリ素子 M_{21} 、 M_{31} にのみドレインに7Vが印加される。すると、前記したように、メモリ素子 M_{21} にのみ書込みが行われる。

次に、読出しの場合は、第2図に示すように、例えば、A線及びB線は0V、C線に2Vが印加される。また、行アドレス信号に基づき、行デコード25からの出力により、ワード線23aのみが選択され、 V_{cc} 5Vがメモリ素子 M_{11} 、 M_{21} 、 M_{31} のコントロールゲートのみに印加される。また、

る。更に、ブロック28は読出し時及び消去時2Vを、書込み時7Vを送出し、読出し時には送出する電流量を検出する機能を有する。書込みと読出しは、EPROMと同様である。即ち、行デコード25は選択されたワード線に14V程度の高電圧を与え、列デコード24はその出力の一つを高電圧として、ブロック28より送出された書込みデータに従って高電圧7V又は非高電圧（接地電位でも2Vでも良い）を所定のデータ線に転送し、電圧切換回路26は接地電位を共通ノード35に出力することによりデータの書込みが、また行デコード25、列デコード24の選択出力を V_{cc} 電位として、ブロック28により2Vを印加した状態での電流の有無を検出し、フローティングゲートの状態を判定することにより、データの読出しが実行される。

書込まれたデータを消去するためには、ブロック28により共通ノード27の電位を2Vとし、全ワード線23a、23bを0Vとし、トランジスタ21a～21bを高電圧とし、共通ノード27の電圧2Vを各データ線22a～22cに導く。また、電圧切換回

路26により端子25aの電圧を14Vとする。この状態で全てのメモリ素子は消去動作に入る。電子注入量の多いフローティングゲートを有するメモリ素子の一部は、ブレイクダウンを一時的に引き起こす場合があるが、それによって生じるフローティングゲートの負電荷損失により、ブレイクダウンは自動的に停止する。この状態で適当な時間を経過させると、初期よりフローティングゲート内に負電荷を有するものは、その電荷を失う。初期より負電荷を有しないものは、そのドレインに微弱な電流が発生するのみであるから、電荷の変動はほとんどない。これにより、フローティングゲート内に書込まれたデータは消去され、メモリ素子は初期化される。この場合、消去の終了点はドレイン電流、即ち、電圧切換回路26より送出される電流量の減少を検出することによることが可能である。又、1つの集積回路装置内に電圧切換回路26を複数持ち、消去をブロック化することにより、より少ない電流量で消去を実行することも可能である。

次に、消去の場合について説明する。

第2図に示すように、消去信号が送出され、A線に V_{cc} 5V印加されると、電圧切換回路26からは14VがB線に出力され、また、C線に2Vが印加される。更に、ワード線23a及び23bは0Vとなり、データ線22a～22cに2Vが印加される。すると、 2×3 の全てのメモリ素子のデータが消去される。

このように、端子33からの消去信号により消去時、行デコード25は全出力0Vを、列デコード24は全出力高電位を与える。又、電圧切換回路26は端子33からの消去信号に応じて消去時、端子25aより与えられる高電位14Vを、書込み及び読出し時には端子25bより与えられる接地電位0Vを、メモリ素子の共通ノード35に送出する機能を有す

特開昭63-308797(7)

次に、本発明の第2の実施例を第11図を用いて説明する。

第11図では書込み時高電圧となるデータ線に消去時にも更に高い電圧を印加することにより、消去を実行する回路構成となっている。

図中、第1図と同様のものは同じ番号を付し、異なるものについては、第1図とは異なる番号を付与した。

ブロック44は読出し及び書込みについては、第1図及び第2図と同様であるが、消去時には14Vを送出するものとする。

また、MOSトランジスタ43は読出し及び書込み時には導通し、端子35を0Vとし、消去時には非導通となって端子35の電位を上昇させるものである。但し、ダイオード接続されたMOSトランジスタ42により端子35の電位は2V以上にはならない。一般にはダイオード接続されたMOSトランジスタ42を複数縦列接続して、電位を2Vとするが、ここでは簡略のため1つのMOSダイオードで示す。図中、端子35の電位を上昇する要因は、メモリ素

子を經由して流れる電流である。

書込みと読出しに関しては、第1の実施例と同一の手順によって実行される。この時のバイアス電位も同一である。書込みと消去とにメモリ素子の同一の電極を用いることは、書込み時に既に書込まれている非選択メモリ素子に微少な消去を引き起こさないようにしなければならない。第8図に示すように、7Vのドレイン電圧でのジャンクション電流は、フローティングゲートの電圧が-4V(グラフa参照)であっても、 10^{-8} A以下であり、実質的に消去に要する数 μ A〜数 10μ Aの電流と比べて、大きな比を有している。又、第8図と第9図を比べてみると、同一電流であってもフローティングゲートの電位が上昇すると、閾値の変化量は電流減少に比べて、更に大きく減少している。つまり、第9図に示されるように、消去の初期には ΔV_T は2.5V/1msec程度であるが、閾値が1.5Vに近くなると、0.25V/200msec程度となりその差は2000倍である。第8図に示されるドレイン14Vでの電流変化を見ると $V_{re} = 2V$

(グラフd参照)で 1μ A、 $V_{re} = -4V$ で100 μ Aである。コントロールゲート、ソース及びドレインが定電圧でのフローティングゲートの電位の変化量と閾値の変化量の関係は(2)式より0.6倍であるから、第8図の範囲は ΔV_T 10Vの範囲を示していることになる。しかし、第9図での ΔV_T は約5Vである。従って、第8図のグラフbに対応する電流変化量は最大100倍以内であり、前記の2000倍の消去速度と対比すると、フローティングゲートの電子量が減少するに従って、ドレイン電流に対する消去効率は1桁以下低下している。従って、書込み時データ線を共有する既書込みメモリ素子の消去は書込み時ドレイン電圧7Vであれば実質的には発生しない。消去は列デコーダ41の出力を同時に高電位とし、複数のデータ線に連なるメモリ素子を同時に選択して実行することもできるし、データ線毎に選択的に実行することも可能である。具体的にはブロック44で生成された高電位14Vがトランジスタ21a〜21cを介してデータ線22a〜22cに導かれる。共通ノード35

は初期には0Vであるが、メモリ素子のブレイクダウン及びテーリング電流により電位は上昇する。しかし、MOSダイオード42により電位は2Vに限定される。又、ブレイクダウンを起こしたメモリ素子はソース電位の上昇及びフローティングゲート内の負電荷を失うことにより、ブレイクダウンを停止し、共通ノード端子35の電位は2Vを維持し、消去が実行される。消去時、行デコーダ25の出力はすべて0Vであることは第1の実施例と同様である。この第2の実施例を用いれば、例えば、現在の磁気ディスクに用いられるセクタの概念を取り入れて、データ線と対応させ、セクタ単位での書込み及び消去が可能な集積回路装置を提供できる。

次に、本発明の第3の実施例を第12図を用いて説明する。

第12図はビット単位で書込み及び消去が可能な半導体記憶装置の回路図である。

図中、第1図と比べて機能の異なるもの及び追加したものの中に第1図の番号とは異なる番号を

特開昭63-308797(8)

付与した。

この図において、第1の行デコード52は書き込み及び読出し時は1つの行線を選択して高電位14Vとし、他は0Vとする。又、消去時には極性を反転し、1つの行線を選択して0Vとし、他は高電位9Vとする。消去時の第2行線54,55を駆動する第2の行デコード53は、消去時、選択された1つの出力を2Vとし、他の出力は9Vとする。又、第2の行デコード53は読出し及び書き込み時には全ての出力を0Vとする。列デコード51は選択された出力を高電位とし、他は0Vとする。ブロック56は読出し時2Vの電圧を出力し、又、同時に流す電流を検出する。書き込み時には、書き込みデータに従って7V又は0Vを出力する。消去時には14Vを出力する。例えば、メモリ素子 M_{11} の書き込みを行う場合、列デコード51によりトランジスタ21bのみが導通とされ、ブロック56より印加される7Vがデータ線22bに導かれ、メモリ素子のドレインに印加される。第1の行デコード52は第1行線23aを14Vとし、第1行線23bは0Vとす

る。第2の行デコード53により、第2行線54,55は共に0Vとする。この状態でメモリ素子は M_{11} のみが電流を流すため、そのフローティングゲートに電子が注入される。又、メモリ素子 M_{11} を消去する場合は、列デコード51によって選択されたトランジスタ21bが導通状態となってブロック56より印加される14Vがデータ線22bに与えられる。第1の行デコード52により選択された第1行線23aは0Vとなり、第1行線23bは高電位9Vとなる。第2の行デコード53は第2行線54に2Vを与え、第2行線55は9Vとする。この時、データ線22a, 22cはメモリ素子 M_{12} , M_{13} を介して第2行線55から充電されるが、それらのメモリ素子が未書き込みであっても閾値電圧が高いことにより、7V以上にはならない。この状態でメモリ素子 M_{11} はコントロールゲート0V、ドレイン14V、ソース2Vであるから、データは消去される。メモリ素子 M_{11} とコントロールゲートを共有するメモリ素子 M_{12} と M_{13} はドレイン電圧が7V以下であるから消去されない。メモリ素子 M_{12} と M_{13} はコントロ

ールゲート9V、ソース9V、ドレイン7Vとなり、メモリ素子 M_{12} はコントロールゲート9V、ソース9V、ドレイン14Vとなる。この状態では上記(2)式より、又、ソースドレインがバイアスされていることによりフローティングゲートの電位は未書き込みで7V以上、書き込み状態でも3V以上である。

第13図にドレイン電位とドレイン電流の関係を示す。

ソース9Vで横軸にドレイン電圧、縦軸にドレイン電流を示す。第13図においてa, b, c, dはそれぞれフローティングゲートの電圧が3V, 5V, 7V, 9Vの場合である。ドレイン電圧14Vでもドレイン電流は 10^{-8} A以下となって、メモリ素子は消去されない。これにより、目的とするメモリ素子 M_{11} のみが消去される。第3の実施例によれば、ビット単位又はバイト単位でのデータの消去が可能となる。これを実現した装置で長期間に亘って、書き込み及び消去を繰り返した場合書き込まれたメモリ素子は僅かづつフローティングゲ

ート内の電子を失っていくが、これは定期的にデータのリフレッシュを実行すれば良く、その機能を装置内に持つことは難しくない。又、リフレッシュを実行する期間を決定するために装置内に、消去を実行したカウンタを備えることも、メモリ素子を用いて容易である。

なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

(発明の効果)

以上、詳細に説明したように、本発明によれば、簡単な構造からなるEPROMを基本構成として、かつ、100 μ A程度の微小な電流で短時間にフローティングゲートを有するメモリ素子のデータの書き込み、消去が可能であり、使用電圧も最大14V程度に低減することができるので、大幅な機能及び集積度の向上を図ることができる。従って、高集積回路装置を構成するのに好適である。具体的には、

特開昭63-308797(9)

(1) 紫外線照射用窓を持たないPROM即ち、OTPROMのデータ消去を可能とする。

(2) 磁気ディスクに代わる外部記憶用集積回路装置の製造が可能となる。

(3) データ処理装置と直接配線接続して、電源オフ時のデータ保持を可能とする集積回路装置の製造が可能となる。

4. 図面の簡単な説明

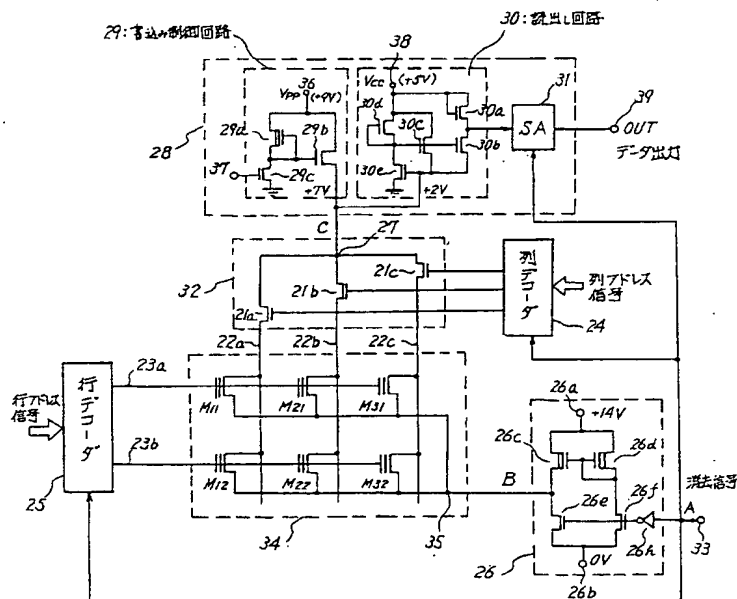
第1図は本発明の第1の実施例を示す半導体記憶装置の回路図、第2図は第1図の回路の各部の動作を説明する図、第3図はEPROMメモリ素子の等価回路、第4図はEEPROMメモリ素子の等価回路、第5図は本発明に係るメモリ素子の平面図、第6図は第5図のVI-VI線断面図、第7図は書き込み後のメモリ素子の閾値電圧の変化の実測値を示す図、第8図にEPROMメモリ素子のドレインに高電圧を印加した場合のドレイン電流の変化を示す図、第9図は消去時の閾値電圧の変化を示す図、第10図はメモリ素子のフローティングゲートの電位を示すための容量分布を示す図、第11図は本発明の第

2の実施例を示す半導体記憶装置の回路図、第12図は本発明の第3の実施例を示す半導体記憶装置の回路図、第13図はその回路におけるドレイン電位とドレイン電流の関係を示す図である。

10…P型基板、11…ドレイン、12…コントロールゲート、13…フローティングゲート、14…ソース、 $M_{11} \sim M_{33}$ …メモリ素子、21a～21c…トランジスタ、22a～22c…データ線、23a、23b…ワード線、24、41、51…列デコード、25…行デコード、26…電圧切換回路、26a、33、35…端子、27…共通ノード、28、44、56…ブロック、42、43…MOSトランジスタ、52…第1の行デコード、53…第2の行デコード、54、55…第2行線。

特許出願人 沖電気工業株式会社

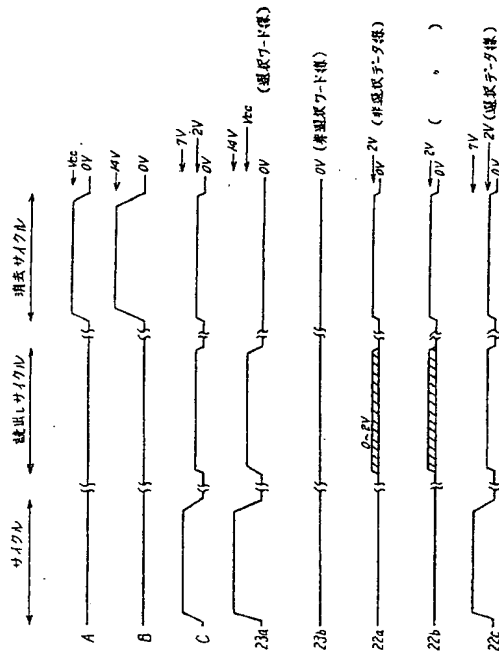
代理人 弁理士 清水 守



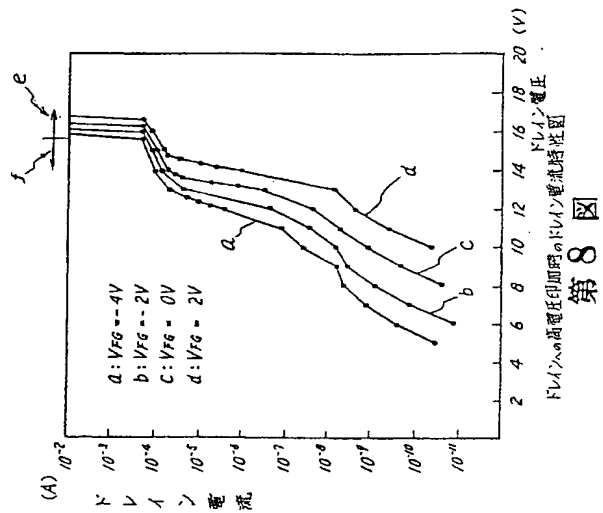
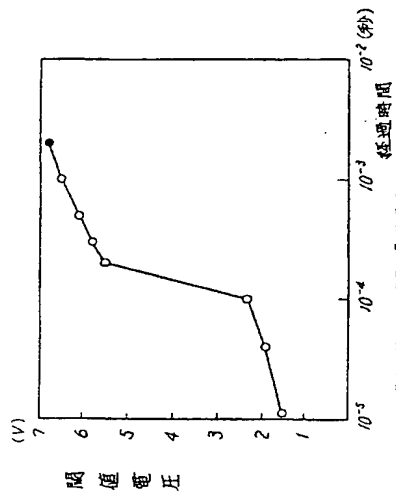
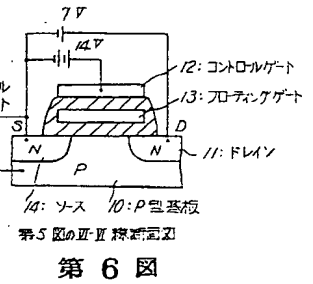
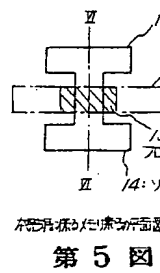
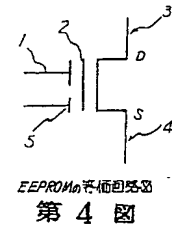
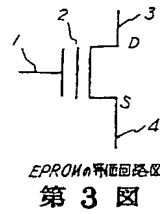
本発明の第1実施例を示す半導体記憶装置の回路図

第1図

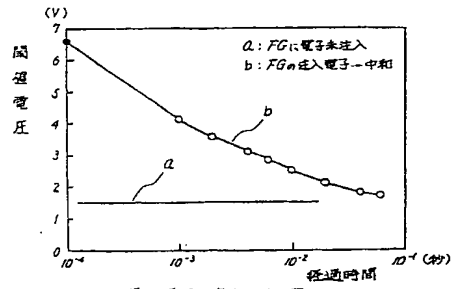
特開昭 63-308797(10)



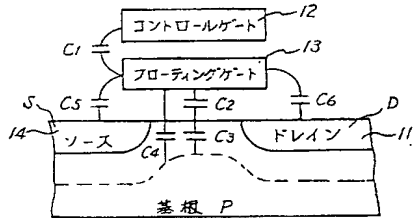
答/図に示される回路の各部の動作を説明する図



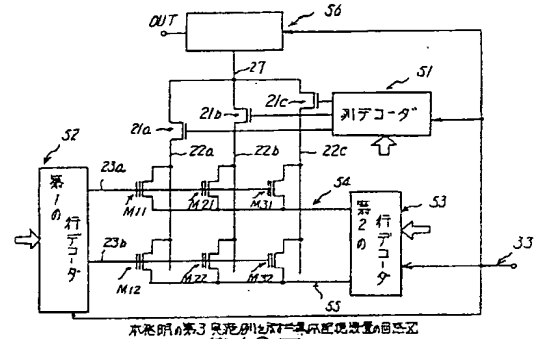
特開昭63-308797(11)



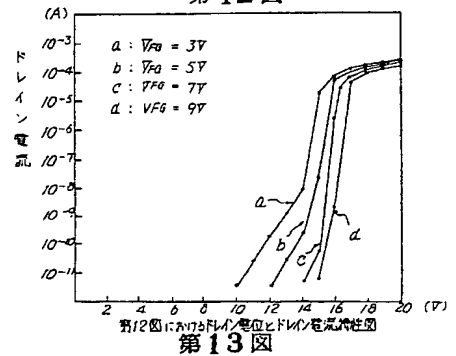
第9図



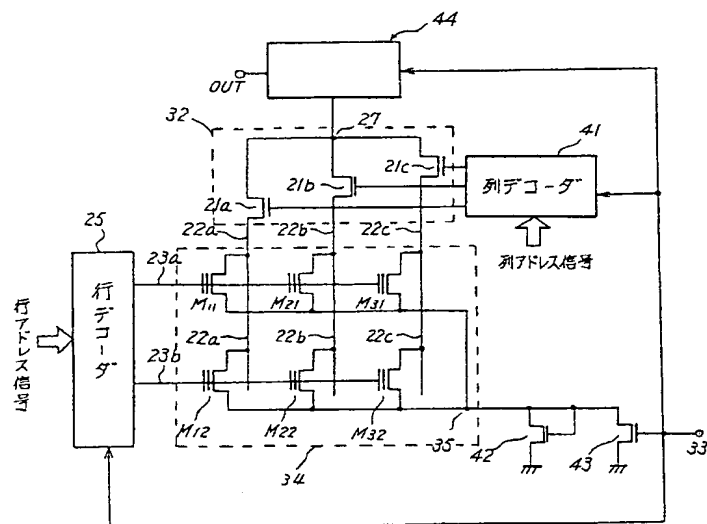
第10図



第12図



第13図



本発明の第2実施例を示す半導体記憶装置の回路図

第11図

手続補正書（自発）

昭和62年10月 9日

特許庁長官 小 川 邦 夫 殿

1. 事件の表示

昭和62年特許願第144033号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人

住所（〒105）東京都港区虎ノ門1丁目7番12号

名称（029） 沖電気工業株式会社

代表者 橋 本 南 海 男

4. 代理人

住所 〒101 東京都千代田区外神田3-4-10

神田寺ビル

氏名（8963） 弁理士 清水

5. 補正の対象

明細書の「特許請求の範囲の欄」、「発明の詳細な説明の欄」及び「図面」

6. 補正の内容

別紙の通り

り、降伏電圧の近傍である第2の電圧を印加し、
フローティングゲート内の電荷量を変化させる手
段を具備することを特徴とする半導体記憶装置。

（2）前記非導通とする電圧は半導体基体にバイ
アスされる電位と同一であることを特徴とする特
許請求の範囲第1項記載の半導体記憶装置。

（3）前記第2の電圧をマトリックス状の列に選
択的に与える手段を具備していることを特徴とす
る特許請求の範囲第1項記載の半導体記憶装置。

（4）前記非導通とする電位をマトリックス状の
行に選択的に与える手段を具備していることを特
徴とする特許請求の範囲第1項記載の半導体記憶
装置。

（5）前記第1又は第2の電圧を前記列に与えた
回数を記憶する手段を有することを特徴とする特
許請求の範囲第3項記載の半導体記憶装置。

（2）発明の詳細な説明の欄を次の通り補正する。

（1）明細書の第4頁第20行目に記載の「フロ
ーティング」を「フローティングゲート」と補正す
る。

特開昭63-308797(12)

（1）特許請求の範囲の欄を次の通り補正する。

（1）

（a）半導体基体上に形成されたフローティングゲ
ートを有するMOSトランジスタがマトリックス
状に配置されたメモリマトリックスと、

（b）前記MOSトランジスタのフローティングゲ
ート内の電荷量とコントロールゲートに印加され
る電圧とに応じて、前記MOSトランジスタの第
1の電極と第2の電極との間に流れる電流により
情報を読み取る手段と、

（c）前記MOSトランジスタのコントロールゲ
ートに前記MOSトランジスタの第1の電極と第2
の電極とを導通させる電圧を与え、且つ第1の電
極に第1の電圧を与えて、第1の電極と第2の電
極との間に電流を流すことによりフローティング
ゲート内の電荷量を変化させる手段と、

（d）前記MOSトランジスタのコントロールゲ
ートに前記MOSトランジスタの第1の電極と第2
の電極とを非導通とする電圧を与え、且つ第1の
電極又は第2の電極に該電極の降伏電圧以下であ

（2）明細書の第10頁第7行目に記載された「書
込み、」を削除する。

（3）明細書の第12頁第5行目に記載の「なお、
電圧としては7Vを印加し、」を削除する。

（4）明細書の第12頁第19行目に記載の「生成さ
れる」を「熱的に励起される」と補正する。

（5）明細書の第14頁第2行目に記載の「直前」
を「以前」と補正する。

（6）明細書の第14頁第3行目に記載の「15V以
上で、」を「15V以下で、」と補正する。

（7）明細書の第15頁第18行乃至第19行目に記載
の「フローティングゲートとの」と同頁第19行目
に記載の「それぞれの容量」との間に「、C。はF
レインとフローティングゲートとの」を挿入する。

（8）明細書の第25頁第9行目乃至同頁第10行目
に記載された「フローティングゲートの電子量」
を「ドレイン電流」と補正する。

（9）明細書の第25頁第11行目に記載の「1桁以
下」を「1桁以上」と補正する。

（10）明細書の第27頁第3行目に記載の「高電位

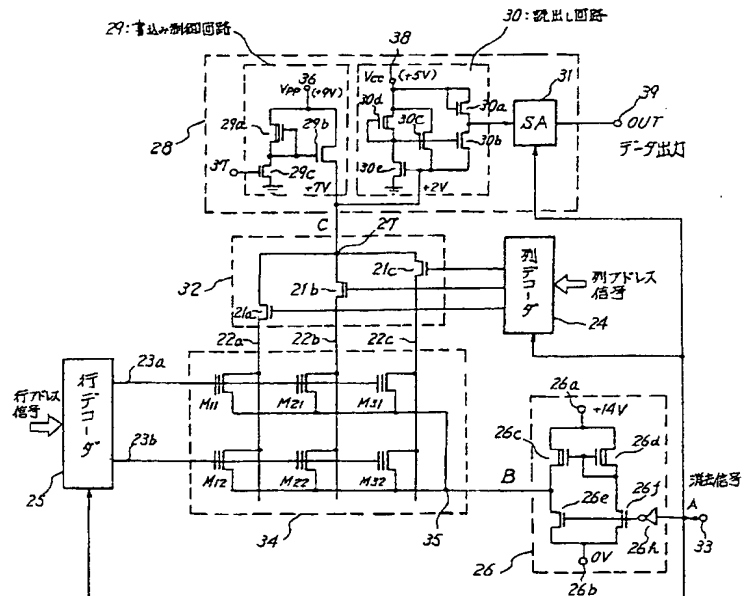
特開昭63-308797(13)

14V」を「高電位14V又は V_{cc} 電位」と補正する。

(11) 明細書の第30頁第19行目に記載の「構成す

るのにに」を「構成するのに」と補正する。

(3) 図面中第1図を別紙の通り補正する。



本発明の第1実施例を示す半導体記憶装置の回路図

第1図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.